

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-36664

(43) 公開日 平成9年(1997)2月7日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 C 3/00			H 0 3 C 3/00	C
			1/60	A
H 0 3 D 7/16			H 0 3 D 7/16	

審査請求 未請求 請求項の数6 F D (全 16 頁)

(21) 出願番号 特願平7-205377

(22) 出願日 平成7年(1995)7月19日

(71) 出願人 000004329

日本ビクター株式会社  
神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 一井 豊

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72) 発明者 石垣 行信

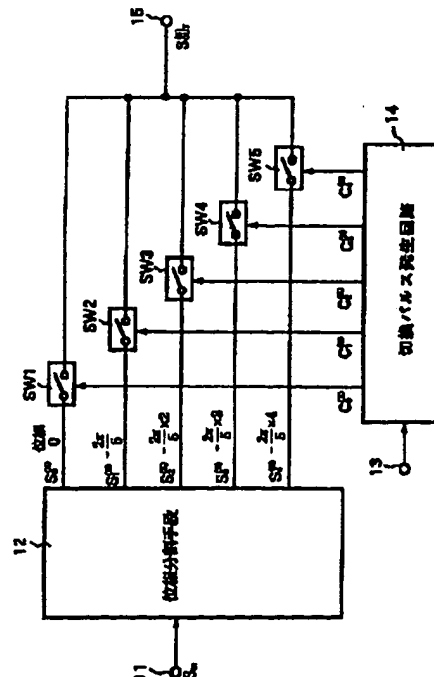
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54) 【発明の名称】 周波数変換回路

(57) 【要約】

【課題】 位相分割数が $2^n$  ( $n$ は2以上の自然数)であるため、従来回路と等価な $4 (=2^2)$ 分割よりも細かく分割しようとする、次は $8 (=2^3)$ 分割となってしまうので、スイッチの数が大幅に増加し、回路が複雑になる。また、4分割の場合よりも、さらに簡単な回路で構成することはできなかった。

【解決手段】 入力端子11より入力された第1の入力信号 $S_{in}$ は、位相が5つに等分割されて互いに位相が $2\pi/5$  (rad.)異なるチャンネル信号 $S^{(5)}_0 \sim S^{(5)}_4$ とされる。切換パルス発生回路14は、繰り返し周波数が $f_{local}$ で、かつ、一周期 $1/f_{local}$ を5分割したパルス幅の、互いに位相が異なる切換パルス $C^{(5)}_0 \sim C^{(5)}_4$ を発生し、これを対応するスイッチ回路SW1～SW5に供給する。スイッチ回路SW1～SW5より共通の出力端子15へ信号 $S^{(5)}_{out}$ が出力される。この出力信号 $S^{(5)}_{out}$ は、差の周波数 $(f_{local}-f_1)$ の周波数変換信号である。



1

## 【特許請求の範囲】

【請求項1】  $2^n$ （ただし、 $n$ は自然数）以外の3以上の自然数を $m$ とするとき、第1の入力信号を位相分割して、互いに  $2\pi/m$  (rad.) ずつ位相の異なる $m$ 個のチャンネル信号を出力する位相分割手段と、第2の入力信号から複数の切換パルスを発生する切換パルス発生回路と、前記 $m$ 個のチャンネル信号を前記切換パルス発生回路よりの切換パルスにより切換出力する複数のスイッチ回路とを有し、前記複数のスイッチ回路を前記複数の切換パルスにより、一定期間毎に順次  $2\pi/m$  (rad.) ずつ位相が一定方向に推移するように切換制御し、該複数のスイッチ回路の出力信号を合成して前記第1の入力信号と切換パルスの周波数差又は周波数之和の信号を出力することを特徴とする周波数変換回路。

【請求項2】 前記位相分割手段は、前記第1の入力信号をそのまま第1のチャンネル信号として出力すると共に該第1の入力信号と  $90^\circ$  位相の異なる第3の信号を出力する  $90^\circ$  移相回路と、前記第1のチャンネル信号を位相反転する第1の反転回路と、前記第3の信号を位相反転する第2の反転回路と、前記第1の反転回路の出力信号と前記第3の信号とを所望のレベル比で加算合成して第2のチャンネル信号を出力する第1の加算手段と、前記第2の反転回路の出力信号と前記第1の反転回路の出力信号とを所望のレベル比で加算合成して第3のチャンネル信号を出力する第2の加算手段とを少なくとも有することを特徴とする請求項1記載の周波数変換回路。

【請求項3】 第1の入力信号を位相分割して、互いに位相の異なる複数のチャンネル信号を出力する位相分割手段と、第2の入力信号から複数のサンプリングパルスを発生するサンプリングパルス発生回路と、前記複数のチャンネル信号のうち一定周期で選択した一つのチャンネル信号を前記サンプリングパルス発生回路よりの選択した一つのサンプリングパルスによりサンプリングするサンプリング手段と、前記サンプリング手段によるあるサンプリング時点から次のサンプリング時点までの期間、前記サンプリング手段の出力信号を保持するホールド回路とを有し、前記サンプリング手段によりサンプリングされる信号は、一定期間毎に順次位相が  $2\pi/m$  (rad.)（ただし、 $m$ は  $2^n$ （ $n$ は自然数）以外の3以上の自然数）ずつ一定方向に推移するように選択され、前記ホールド回路より前記第1の入力信号とサンプリングパルスとの周波数差又は周波数之和の信号を出力することを特徴とする周波数変換回路。

【請求項4】 前記位相分割手段は、前記第1の入力信号を位相シフトして  $2\pi/m$  (rad.) ずつ位相の異なる $m$ 個のチャンネル信号を出力することを特徴とする

2

請求項3記載の周波数変換回路。

【請求項5】 第1の入力信号を位相シフトして、 $\pi/n$  (rad.)（ただし、 $n$ は2以上の自然数）ずつ位相の異なる $n$ 個のチャンネル信号を出力する位相分割手段と、

第2の入力信号から $n$ 個のサンプリングパルスを発生するサンプリングパルス発生回路と、

前記位相分割手段より出力された $n$ 個のチャンネル信号のうち、前記サンプリングパルス発生回路よりのサンプリングパルスにより一定周期で、順次  $\pi/n$  (rad.) ずつ位相が一定方向に推移するように選択した一つのチャンネル信号をサンプリングするサンプリング手段と、

前記サンプリング手段によるあるサンプリング時点から次のサンプリング時点までの期間、前記サンプリング手段の出力信号を保持するホールド回路と、

前記ホールド回路の出力信号を位相反転する位相反転回路と、

前記ホールド回路の出力信号と前記位相反転回路の出力信号とをそれぞれ前記サンプリング周期毎に交互に選択出力する選択手段とを有することを特徴とする周波数変換回路。

【請求項6】 第1の入力信号を位相シフトして、 $2\pi/m$  (rad.)（ただし、 $m$ は3以上の自然数）ずつ位相の異なる $m$ 個のチャンネル信号を出力する位相分割手段と、

第2の入力信号から $m$ 個のサンプリングパルスを発生するサンプリングパルス発生回路と、

前記位相分割手段より出力された $m$ 個のチャンネル信号のうち、基準位相をスタートとして順次  $(2\pi/m) \times 2$  (rad.) ずつ位相が一定方向に推移する第1の移相系列と、前記基準位相に対して $m$ が偶数のときは

$\{(m/2)+1\} \times (2\pi/m)$  (rad.)、 $m$ が奇数のときは  $\{(m-1)/2+1\} \times (2\pi/m)$  (rad.) 位相の異なる前記チャンネル信号をスタートとし、 $m$ が偶数のときは  $(2\pi/m) \times 2$  (rad.) ずつ、 $m$ が奇数のときは  $(2\pi/m)$  (rad.) ずつ位相が一定方向に推移する第2の移相系列とを、

前記サンプリングパルス発生回路よりのサンプリングパルスにより一定周期で、交互にサンプリングするサンプリング手段と、

前記サンプリング手段によるあるサンプリング時点から次のサンプリング時点までの期間、前記サンプリング手段の出力信号を保持するホールド回路と、

前記ホールド回路の出力信号を位相反転する位相反転回路と、

前記ホールド回路の出力信号と前記位相反転回路の出力信号とをそれぞれ前記サンプリング周期毎に交互に選択出力する選択手段とを有することを特徴とする周波数変換回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は周波数変換回路に係り、特に位相推移型単側波帯信号生成法を適用した周波数変換回路に関する。

## 【0002】

【従来の技術】従来より、周波数変換回路あるいは単側波帯信号（以下、SSB信号と略す）を得るための一般的手段としては、例えば乗算回路や平衡変調器、又はダブルバランスドミキサ（以下、DBMと略す）を用いるなどして搬送波を抑圧した両側波帯信号を得た後、各々の片方の側波帯信号をフィルタにより選択分離してSSB信号を生成させるようにしたり、あるいは、搬送波と信号とを各々90度移相したものを二つのDBMに供給して、前記の二つのDBMからの出力信号を加算、又は引き算して原理的にフィルタの使用を省略するようにした位相推移型SSB信号生成法が知られている（例えば、B. P. ラシイ著、「詳解デジタル・アナログ通信方式（上巻）」第226頁乃至第251頁、CBS出版株式会社、1985年3月28日発行）。

【0003】前記の従来の周波数変換回路は、第1の信号周波数 $f_1$ と第2の信号周波数 $f_2$ とにより周波数変換を行う場合、互いの周波数が比較的高く、フィルタの使用が問題ない場合には乗算器とフィルタで和の周波数 $(f_1 + f_2)$ 、又は差の周波数 $(f_1 - f_2)$ が容易に得られる。しかし、どちらか一方の周波数が特に高く、他方の周波数が極端に低い場合にはフィルタを用いても選択分離は不可能に近い。

【0004】そこで、用いられるのが位相推移型SSB信号生成回路である。この回路は、原理的にフィルタは不要であり（ただし、一方の信号がスイッチング信号の場合、若しくは使用するDBM等でスイッチング動作となる場合は簡単なフィルタが使用される）、DBM等の動作上のバランスが良好であれば、目的とする和の周波数 $(f_1 + f_2)$ 又は差の周波数 $(f_1 - f_2)$ が選択\*

$$\begin{aligned} E &= A_1 \cos P t \cdot A_2 \cos C t \\ &= (A_1 A_2 / 2) \{ \cos (P - C) t + \cos (P + C) t \} \end{aligned} \quad (1)$$

$$\begin{aligned} F &= A_1 \sin P t \cdot A_2 \sin C t \\ &= (A_1 A_2 / 2) \{ \cos (P - C) t - \cos (P + C) t \} \end{aligned} \quad (2)$$

従って、演算回路117は上記の乗算回路112及び114の出力信号を加算すると、第1の入力信号と第2の入力信号の差の周波数の $(A_1 A_2 / 2) \{ \cos (P - C) t \}$ が得られ、減算すると和の周波数 $(A_1 A_2 / 2) \{ \cos (P + C) t \}$ が得られる。ここでは、演算回路117が加算動作をするものとする、これより図23(G)に示す波形の差の周波数成分が出力端子118へ出力される。

【0010】演算回路117の出力信号は図23(G)

\*でき、近傍する周波数 $f_1$ （又は $f_2$ ）は抑圧されて上記の問題は起こらない。

【0005】図22は従来の周波数変換回路の一例のブロック図、図23は図22の動作説明用波形図を示す。図22の周波数変換回路は、入力端子111及び115、乗算回路112、 $\pi/2$ 移相回路113、乗算回路114、 $\pi/2$ 移相回路116及び乗算回路117及び114の両出力信号を加算又は減算する演算回路117、低域フィルタ(LPF)119よりなる。

【0006】図22において、入力端子111より第1の入力信号 $A_1 \cos P t$ が乗算回路112に供給される一方、 $\pi/2$ 移相回路113に供給されて $\pi/2$ 移相される。この第1の入力信号は、図23(A)に示す波形で、 $\pi/2$ 移相回路113はこの第1の入力信号 $\pi/2$ (rad.)移相し、図23(B)に示す波形の信号を生成して乗算回路114に供給する。

【0007】一方、入力端子115より図23(C)に示す波形の第2の入力信号が乗算回路112に供給されると共に、 $\pi/2$ 移相回路116を介して乗算回路114に供給される。この第2の入力信号は方形波であるので高調波成分を有するが、それを省略してその基本周波数のみを示すと、 $A_2 \cos C t$ で表されるものとする。従って、 $\pi/2$ 移相回路116の出力信号は、図23(D)に示すように第2の入力信号を $\pi/2$ (rad.)移相した波形であるから、その基本周波数は $A_2 \sin C t$ となる。

【0008】乗算回路112は第1の入力信号と第2の入力信号を乗算することにより、(1)式で基本周波数が表される図23(E)に示す信号Eを出力し、乗算回路114は $\pi/2$ 移相回路113よりの第1の入力信号と $\pi/2$ 移相回路116よりの第2の入力信号を乗算することにより、(2)式で基本周波数が表される図23(F)に示す信号Fを出力する。

## 【0009】

に示すように、高次高調波成分を有しているため、LPF119を通されることにより、目的の基本波周波数成分のみが濾波されて出力端子120へ出力される。図23に示した各信号の波形からも確認できるように、上記の従来の周波数変換回路において、第1の入力信号の1サイクル中に第2の入力信号は4サイクルとなっているのに対し、出力信号の基本波は3(=4-1)サイクルであり、周波数変換されていることが確認できる。

【0011】しかるに、図22に示した従来の周波数変

換回路は、乗算回路112及び114として用いられる平衡変調器(DBM)のバランスが実際の回路では崩れ易く、バランスが崩れると出力信号EやFは図23

(E)及び(F)に示すような波形が得られず、又、演算回路117における加算動作においても、ミキシングバランスが僅かに崩れると、出力信号Gのような波形が得られなくなる。

【0012】また、従来の周波数変換回路では、DBMのバランスが崩れると、演算回路117で混合するレベルに誤差が生じ易いため、前記 $(f_1 + f_2)$ 又は $(f_1 - f_2)$ のいずれかの出力の選択には、例えば $(f_1 + f_2)$ を選ぶ場合、近傍する抑圧された搬送波に相当する $f_1$ や、 $(f_1 - f_2)$ 成分を基本とする高次の周波数成分が不要な周波数として混入して場合によっては、フィルタでも除去不能になるという問題がある。

【0013】特に、集積回路化する場合には、各々のバランス調整を集積回路の外で行わなければならないため、集積回路のピン数の増加の問題にもなり、位相推移型単側波帯信号生成回路を用いた周波数変換回路は集積回路化には向かないという問題がある。

【0014】これらのことから、従来より、バランス調整が不要で低域周波数から高域周波数まで広い周波数帯において使用でき、無調整化できる位相推移型単側波帯信号生成法に基づく集積回路化に適する周波数変換回路の出現が望まれていた。

【0015】そこで、本出願人は、上記要求を満たすために、第1の入力信号を位相分割手段により位相シフトして位相の異なる複数のチャンネル信号を出力し、これらを第2の入力信号から発生された切換信号により切り換えることによる周波数変換回路を提案した(例えば、特願平7-34401号:発明の名称「周波数変換回路」)。

【0016】この出願に係る発明は、第1の入力信号を $\pi/2$ rad. ずつ位相シフトした4つのチャンネル信号を、第2の入力信号から発生された切換信号により4つのスイッチ回路により別々に切り換えて、最終的には第2の入力信号の1周期の $1/4$ の期間毎に前記の4つの信号を順次位相が遅れる、あるいは進む様な順に出力することにより、上記の平衡変調器や加算器を用いずに、図22の従来回路と等価な出力が得る構成である。

【0017】さらに、上記の本出願人の出願には、第1の入力信号を8つに分割し、第2の入力信号の1周期の $1/8$ の期間毎に前記の8つに分割したチャンネル信号が順次出力されるように構成することにより、所望の差の周波数 $(f_2 - f_1)$ または和の周波数 $(f_1 + f_2)$ の正弦波により近い波形が得られることも示されている。この場合、出力端子に接続するLPFとして、周波数特性の傾斜部分がよりゆるやかなLPFを使用できるため、LPFの規模が小さくて済むという利点がある。

【0018】

【発明が解決しようとする課題】しかるに、上記の本出願人の先の提案になる周波数変換回路においては、位相分割数が $2^n$  ( $n$ は2以上の自然数)の場合についてしか示されていない。そのため、従来回路と等価な $4 (= 2^2)$ 分割よりも細かく分割しようとする、次は $8 (= 2^3)$ 分割となってしまうので、スイッチの数が大幅に増加し、回路が複雑になるという問題点があった。また、本出願人の先の提案になる周波数変換回路では、4分割の場合よりも、さらに簡単な回路で構成することはできなかった。

【0019】本発明は以上の点に鑑みなされたもので、より自由度の高い位相分割数の構成が可能で、設計の自由度が高い周波数変換回路を提供することを目的とする。

【0020】また、本発明の他の目的は、簡単な回路構成により、高周波数成分の極力少ない出力信号波形が得られる周波数変換回路を提供することにある。

【0021】

20 【課題を解決するための手段】本発明は上記の目的を達成するため、 $2^m$  (ただし、 $n$ は自然数)以外の3以上の自然数を $m$ とするとき、第1の入力信号を位相分割して、互いに $2\pi/m$  (rad.) ずつ位相の異なる $m$ 個のチャンネル信号を出力する位相分割手段と、第2の入力信号から複数の切換パルスを発生する切換パルス発生回路と、 $m$ 個のチャンネル信号を切換パルス発生回路よりの切換パルスにより切換出力する複数のスイッチ回路とを有し、複数のスイッチ回路を複数の切換パルスにより、一定期間毎に順次 $2\pi/m$  (rad.) ずつ位相が一定方向に推移するように切換制御し、複数のスイッチ回路の出力信号を合成して第1の入力信号と切換パルスの周波数差又は周波数和の信号を出力する構成としたものである。

【0022】本発明では、DBMを用いることなく、スイッチ回路を用いて集積回路化に適した構成により周波数変換された信号を得る周波数変換回路を構成するに当たり、スイッチ回路の個数を $m$ 個にすることができる。

30 【0023】また、本発明は、上記の目的を達成するため、第1の入力信号を位相分割して、互いに位相の異なる複数のチャンネル信号を出力する位相分割手段と、第2の入力信号から複数のサンプリングパルスを発生するサンプリングパルス発生回路と、複数のチャンネル信号のうち一定周期で選択した一つのチャンネル信号をサンプリングパルス発生回路よりの選択した一つのサンプリングパルスによりサンプリングするサンプリング手段と、サンプリング手段によるあるサンプリング時点から次のサンプリング時点までの期間、サンプリング手段の出力信号を保持するホールド回路とを有し、サンプリング手段によりサンプリングされる信号は、一定期間毎に  
50 順次位相が $2\pi/m$  (rad.) (ただし、 $m$ は2

11

(rad.)異なるチャンネル信号 $S^{(3)}_0$ 、 $S^{(3)}_1$ 及び $S^{(3)}_2$ とされてそれぞれ並列に出力されてスイッチ回路SW11、SW12及びSW13に供給される。図7

(A)、(B)及び(C)は、それぞれ上記の位相分割されたチャンネル信号 $S^{(3)}_0$ 、 $S^{(3)}_1$ 及び $S^{(3)}_2$ の信号波形を示し、それぞれの周波数は $f_1$ (例えば、1サイクル)であるものとする。

【0044】一方、入力端子43には周波数変換におけるローカル周波数 $f_{local}$ の $m$ 倍、すなわち $3 \cdot f_{local}$ の周波数の第2の入力信号が入力され、切替パルス発生回路44に供給される。切替パルス発生回路14は繰り返し周波数が $f_{local}$ で、かつ、一周期 $1/f_{local}$ を3分割したパルス幅の、互いに位相が異なる図7(D)、(E)及び(F)に示す切替パルス $C^{(3)}_0$ 、 $C^{(3)}_1$ 及び $C^{(3)}_2$ を発生し、これを対応するスイッチ回路SW11、SW12及びSW13に供給する。

【0045】スイッチ回路SW11、SW12及びSW13は、入力される切替パルス $C^{(3)}_0$ 、 $C^{(3)}_1$ 及び $C^{(3)}_2$ がハイレベルの期間オンとされて入力チャンネル信号を通過させ、ローレベルの期間オフとされて入力チャンネル信号の通過を阻止する。これにより、スイッチ回路SW11、SW12及びSW13より共通の出力端子45へ、位相が $2\pi/3$ (rad.)ずつ遅れたチャンネル信号を合成した、図7(G)に示す如き波形の信号 $S^{(3)}_{out}$ が出力される。この出力信号 $S^{(3)}_{out}$ は、差の周波数( $f_{local}-f_1$ )、すなわち $3 \cdot f_1$ を基本周波数とする周波数変換信号である。

【0046】次に、図6の位相分割手段42の構成について更に詳細に説明する。図8は位相分割手段42の一例のブロック図を示す。図8に示すように、位相分割手段42は $90^\circ$ 移相回路51、反転増幅器52、55、レベル調整回路53及び54、加算器56及び57よりなる。 $90^\circ$ 移相回路58は、前記 $90^\circ$ 移相回路18と同様にヒルベルトフィルタ等の従来から知られている回路が用いられる。

【0047】この位相分割手段52の動作を図9のベクトル図と共に説明する。まず、入力端子41より入力された前記第1の入力信号 $S_{in}$ は、 $90^\circ$ 移相回路51によりそのまま第1の信号として出力端子58へ及び反転増幅器52へ出力されると共に、 $-90^\circ$ 移相されて第2の信号としてレベル調整回路53を介して加算器57及び反転増幅器55へ出力される。ここで、第1の信号は図9の $0^\circ$ のベクトルの信号で、第1のチャンネル信号 $S^{(3)}_0$ として出力される。また、上記第2の信号は図9の $-90^\circ$ のベクトルで表される信号である。

【0048】反転増幅器52の出力信号は、レベル調整回路54を介して加算器57に供給されてレベル調整回路53の出力信号と加算される一方、加算器56に供給されて反転増幅器53の出力信号と加算される。加算器57の出力信号は図9に $S^{(3)}_1$ で示すベクトルの第2チ

12

ャンネルの信号として出力端子58へ出力される。また、加算器56の出力信号は図9に $S^{(3)}_2$ で示すベクトルの第3チャンネルの信号として出力端子58へ出力される。

【0049】このように、この発明の形態では図6のようにスイッチ回路はSW11～SW13の3個で済み、極めて簡単な構成となる。前記した本出願人の提案になる周波数変換回路では、4相切換の場合スイッチ回路は3個で構成されるが、ここでのスイッチ回路は2回路の切換であるのでスイッチ自体が複雑であるのに対し、図6及び図1に示したスイッチ回路はすべてオン・オフのスイッチであるため、回路をより簡略化することができる。

【0050】次に、本発明により得られた周波数変換出力信号 $S_{out}$ について、各場合の周波数スペクトラムを、電子計算機により $f_{local}=4 \cdot f_1$ 、 $S_{in}=f_1$ の場合についてFFT(高速フーリエ変換)を行って求めた結果を図10に示す。なお、図24は前記本出願人が先に提案した周波数変換回路について同様にして4相及び8相切換について求めた出力信号の周波数スペクトラムを示す。

【0051】ここで、図10及び図24中、各成分の上部のカッコ内に示した数字は周波数が $f_1$ の何倍であるか(ここでは $f_1=1$ サイクル)を表し、カッコ無しで示した数字は基本周波数に対する相対レベルをdB(デシベル)で示したものである。また、図10(A)、(B)及び(C)は、それぞれ位相分割が3相(図6)、5相(図1)及び6相の場合であり、図24(A)、(B)は4相、8相の場合を示す。

【0052】図10及び図24から分かるように、位相分割数に関係なく、出力信号にはいずれも差の周波数( $f_{local}-S_{in}$ )= $3 \cdot f_1$ (=3サイクル)の成分が基本波として含まれており、和の周波数である $5 \cdot f_1$ (=5サイクル)成分は出現しない。

【0053】高周波成分については、本発明では3相切換の場合でも図10(A)に示すように、一番低い高周波成分が( $2 \cdot f_{local}+S_{in}$ )に相当する $9 \cdot f_1$ (=9サイクル)であり、本出願人が先に提案した周波数変換回路の図24(A)に示した4相切換の出力信号の周波数スペクトラム中の一番低い周波数 $13 \cdot f_1$ に比べても大差なく、LPFで除去するのに大きな困難はない。

【0054】また、本発明では5相切換の場合、図10(B)に示す様に、一番低い高周波成分は17サイクルとなり、本出願人が先に提案した周波数変換回路の図24(A)に示した4相切換の場合に出現する13サイクルよりも高い周波数となるため、本出願人が先に提案した周波数変換回路に比べて、より周波数特性の傾斜が緩やかな非常に簡単な構成のLPFを使用して高周波成分を除去することができる。

13

【0055】このように、以上説明した本発明では、3相、5相に限らず、例えば図10に周波数スペクトラムを示した6相や、さらに他の位相分割数でも構成でき、出力信号 $S_{out}$ をフィルタリング前で正弦波に近くする必要性の度合いや、周波数変換回路の複雑さの度合いを考慮して、任意の位相分割数を設定できるため、設計の自由度が大きくなるという特長がある。

【0056】次に、本発明の第3の実施の形態について説明する。図11は本発明になる周波数変換回路の第3の実施の形態の構成図を示す。同図中、図1と同一構成部分には同一符号を付し、その説明を省略する。

【0057】ところで、図1及び図6に示した実施の形態では、図2(M)及び図7(G)に示したように、出力信号に波形の鋭い部分を含むので、図10に示したような高周波成分を含んでいる。このようなアナログ回路で発生する高周波成分は、電源やアースを通して他のアナログ回路にノイズとして混入し、悪影響を与えることもあり、極力発生しないことが望ましい。そこで、以下説明する実施の形態はこの要求をも満たす構成としたものである。

【0058】図11において、位相分割手段12の出力側には、高い入力インピーダンスと、低い出力インピーダンスをもつバッファアンプ610～614が設けられており、また、スイッチ回路SW1～SW5はサンプリングパルス発生回路62によりスイッチング(サンプリング)動作を行い、更に、ホールドコンデンサ63とバッファアンプ65がスイッチ回路SW1～SW5の出力側に設けられている。

【0059】次に、この実施の形態の動作の概要について図12の信号波形図と共に説明する。位相分割手段12から取り出された、図12(A)、(B)、(C)、(D)及び(E)に示す5つのチャンネル信号 $S^{(5)}_0$ 、 $S^{(5)}_1$ 、 $S^{(5)}_2$ 、 $S^{(5)}_3$ 及び $S^{(5)}_4$ は、それぞれバッファアンプ610、611、612、613、614を通して、スイッチ回路SW1、SW2、SW3、SW4及びSW5に供給される。

【0060】一方、入力端子60よりローカル周波数 $f_{local}$ の第2の入力信号がサンプリングパルス発生回路62に入力される。サンプリングパルス発生回路62は後述の図13に示す回路構成により、繰り返し周波数が $f_{local}$ で、かつ、幅の狭い互いに位相が異なる図12(F)、(G)、(H)、(I)及び(J)に示すサンプリングパルス $SP^{(5)}_0$ 、 $SP^{(5)}_1$ 、 $SP^{(5)}_2$ 、 $SP^{(5)}_3$ 及び $SP^{(5)}_4$ を発生し、これに対応するスイッチ回路SW1、SW2、SW3、SW4及びSW5に供給する。なお、ローカル周波数 $f_{local}$ は、前記第1の入力信号の周波数の4倍の周波数 $4 \cdot f_1$ (例えば、4サイクル)である。

【0061】スイッチ回路SW1、SW2、SW3、SW4及びSW5は、入力されるサンプリングパルスSP

14

$S^{(5)}_0$ 、 $SP^{(5)}_1$ 、 $SP^{(5)}_2$ 、 $SP^{(5)}_3$ 及び $SP^{(5)}_4$ がハイレベルの期間オンとされて入力チャンネル信号を通過させ、ローレベルの期間オフとされて入力チャンネル信号の通過を阻止する。これにより、スイッチ回路SW1、SW2、SW3、SW4及びSW5より出力された信号が共通のコンデンサ63に供給され、これによりホールドされる。図12(K)はコンデンサ63の端子電圧を示す。

【0062】この端子電圧は、バッファアンプ65を介して出力端子67へ位相が $2\pi/5$ (rad.)ずつ遅れたチャンネル信号を合成した、出力信号 $S^{(5)}_{out}$ が出力される。この出力信号 $S^{(5)}_{out}$ は、差の周波数( $f_{local} - S_{in}$ )、すなわち $3 \cdot f_1$ を基本周波数とする周波数変換信号で、これをLPFに通すことにより、( $f_{local} - S_{in}$ )の周波数成分が得られる。

【0063】次に、図11のサンプリングパルス発生回路62の構成について更に詳細に説明する。図13はサンプリングパルス発生回路62の要部の一例のブロック図を示す。同図中、図5と同一構成部分には同一符号を付し、その説明を省略する。図13に示すように、サンプリングパルス発生回路62は、 $m$ 通倍フェーズ・ロック・ループ(PLL)71、カウンタ31、5段縦続接続されたD型フリップフロップ(FF)32～36、2分周器73とよりなる。

【0064】上記カウンタ31のクロック入力に、 $m$ 通倍PLL71より出力された $m \cdot f_{local}$ (ここでは、 $m=5$ )の周波数の矩形波信号を供給し、カウント数を“5”に設定すると、リップルキャリア出力RCとして、図2(L)に示した信号が得られる。前記したように、フリップフロップ32、33、34、35及び36のQ出力からは図2(F)、(G)、(H)、(I)及び(J)に示した信号 $C^{(5)}_0$ 、 $C^{(5)}_1$ 、 $C^{(5)}_2$ 、 $C^{(5)}_3$ 、 $C^{(5)}_4$ が得られる。また、2分周器73により2分周されることにより出力端子75には図12(R)に示した信号SX2が出力される。

【0065】上記の信号 $C^{(5)}_0 \sim C^{(5)}_4$ は、それぞれ図14に示す回路の入力端子82を介して2入力AND回路84に供給される一方、遅延回路85により所定時間 $\tau$ 遅延された後インバータ86で反転されて2入力AND回路84の他方に入力端子に入力される。ここで、信号 $C^{(5)}_0 \sim C^{(5)}_4$ のうち入力端子82に入力される $k$ 番目の信号 $C^{(5)}_k$ を図15(A)に示すものとする、インバータ86の出力信号は同図(B)に示され、よって、AND回路84から出力端子88へは図15(C)に示す如く上記遅延時間に等しいパルス幅 $\tau$ のサンプリングパルス $SP_k$ が出力される。

【0066】この第3の実施の形態は5相分割の例であるが、同様にして3以上の任意の位相分割による構成が可能である。このようにして得られた出力信号 $S_{out}$ 中の高周波成分を、前記第1及び第2の実施の形態による

出力信号中の高周波成分と、本出願人が先に提案した周波数変換回路の出力信号中の高周波成分とをまとめると表1に示すようになる。ただし、表1中、Aは本出願人が先に提案した周波数変換回路、Bは前記第1及び第2の実施の形態、Cは第3の実施形態の出力信号中の高\*

\*周波成分を、変換された基本周波数 ( $f_{\text{local}} - S_{1n}$ ) に対するレベル (dB) で示し、また  $S_{1n}$  は1サイクル、 $f_{\text{local}}$  は4サイクルとする。

【0067】

【表1】

4相切換 周波数	A	B	C	C-B
13	-9.54	-9.54	-12.74	-3.20
19	-13.98	-13.98	-16.03	-2.05
29	-16.90	-16.90	-19.70	-2.80
35	-19.08	-19.08	-21.94	-2.26
45	-20.83	-20.83	-23.52	-2.69
51	-22.28	-22.28	-24.61	-2.33

5相切換 周波数	A	B	C	C-B
17		-12.04	-15.07	-3.03
23		-15.58	-17.89	-2.13
37		-19.08	-21.82	-2.74
49		-20.83	-23.13	-2.30
57		-22.92	-25.57	-2.65
63		-24.08	-26.44	-2.36

3相切換 周波数	A	B	C	C-B
9		-6.02	-9.54	-3.52
15		-12.04	-13.98	-1.94
21		-13.98	-16.90	-2.92
27		-16.90	-19.08	-2.18
33		-18.06	-20.83	-2.77
39		-20.00	-22.28	-2.28

表1より分かるように、図11の構成が2-3dB高周波成分が少ない。

【0068】図16は図11の変形例を示す。同図中、図1及び図11と同一構成部分には同一符号を付し、その説明を省略する。図11の例では非常に細いパルスでスイッチングを行うため、スイッチ回路や切替パルス回路について高速で動作する必要があり、高価な素子を使わなければならない。さらに、変換する周波数が非常に高い場合には事実上構成するのが困難になる。

【0069】そこで、図16の例では、切替パルスの幅を広くして高速なスイッチングを避けている。図16では、切替パルスは図1の  $C^{(5)}_0$ 、 $C^{(5)}_1$ 、 $C^{(5)}_2$ 、 $C^{(5)}_3$ 、 $C^{(5)}_4$  が用いられる。スイッチ回路SW1～SW5により、 $(1/f_{\text{local}})$  の  $1/m$  (ここでは  $m=5$ ) の期間において、一つの移相信号のこの期間の平均

値がホールドコンデンサ910～914に蓄積され、次の前記期間のタイミングにおいて、スイッチ回路SW6～SW10により、前記蓄積結果がバッファアンプ920～924を介して出力のバッファアンプ94に供給され、出力端子95へ出力される。

【0070】次に、本発明の第4の実施の形態について説明する。図17は本発明の第4の実施の形態の構成図を示す。位相分割手段101は、第1の入力信号を位相分割して、位相が互いに  $\pi/5$  ずつ異なる5つのチャネル信号  $S^{(5)}_{10} \sim S^{(5)}_{14}$  を発生する。この5つのチャネル信号  $S^{(5)}_{10} \sim S^{(5)}_{14}$  をベクトルで表すと、図18に実線で示すようになる。

【0071】一方、2通倍器102でローカル周波数  $f_{\text{local}}$  を2通倍した信号は、サンプリングパルス発生回路103に供給され、これより図12(L)～(P)に

17

示すサンプリングパルス  $SP^{(5)}_{10} \sim SP^{(5)}_{14}$  を発生させる。このサンプリングパルス  $SP^{(5)}_{10} \sim SP^{(5)}_{14}$  は、スイッチ回路  $SW1 \sim SW5$  に供給されて、そのハイレベル期間スイッチ回路  $SW1 \sim SW5$  をオンとし、ホールドコンデンサ 105 に上記のチャンネル信号  $S^{(5)}_{10} \sim S^{(5)}_{14}$  をホールドさせる。

【0072】ホールドコンデンサ 105 の端子電圧はバッファアンプ 106 を介してスイッチ回路 108 に供給される一方、インバータ 107 で位相反転されてスイッチ回路 108 に供給される。このスイッチ回路 108 は、2 通倍器 102 の出力信号をフリップフロップ (FF) 104 で  $1/2$  分周して得た図 12 (Q) に示す如き繰り返し周波数  $f_{local}$  の方波で、バッファアンプ 106 の出力信号と、インバータ 107 からのその位相反転信号とを  $1/2 f_{local}$  ごとに交互に出力する。

【0073】ここで、バッファアンプ 106 の出力信号をベクトルで表すと、図 18 に実線で示す 5 つのチャンネル信号  $S^{(5)}_{10} \sim S^{(5)}_{14}$  と同様となり、一方、インバータ 107 からの信号をベクトルで表すと、図 18 に破線で示すようになり、よって、スイッチ回路 108 から出力端子 109 へは、 $360^\circ$  を 10 分割したときと同じ周波数変換信号が、5 つのチャンネル信号から得られる。

【0074】次に、本発明の第 5 の実施の形態について説明する。図 19 は本発明の第 5 の実施の形態の構成図を示す。同図中、図 11 及び図 17 と同一構成部分には同一符号を付し、その説明を省略する。図 19 において、第 1 の入力信号を移相したチャンネル信号は図 11 と同じものを用いる。但し、切換順序とサンプリング速度が異なっている。サンプリングパルスは、図 17 と同じサンプリングパルス  $SP^{(5)}_{10} \sim SP^{(5)}_{14}$  を用いる。

【0075】ここで、いま、信号  $S^{(5)}_0$  をサンプリングしたとすると、次には、反転すれば  $S^{(5)}_0$  と  $S^{(5)}_1$  の中間の位相となる位相、すなわち、 $S^{(5)}_3$  をサンプリングする。次には  $S^{(5)}_1$  をサンプリングし、その次には反転すれば  $S^{(5)}_2$  と  $S^{(5)}_1$  の中間の位相となるころの  $S^{(5)}_4$  をサンプリングする。この様な順にサンプリングを行い、サンプリング結果について、1 サンプリング毎に出力を反転するか否かを切り換えると、図 20 のベクトル図から分かるように、入力信号を  $2\pi/10$  (rad.) ずつ移相した信号を順にサンプリングしていったと同様の結果が得られる。この実施の形態も図 17 と同様に 5 個の移相されたチャンネル信号を用いて 10 分割と同様の効果があるという利点がある。

【0076】以上 5 分割の場合を例としたが、 $m$  が奇数の任意の場合を考えると、反転すると  $S^{(m)}_0$  と  $S^{(m)}_1$  の中間の位相となるのは、 $S$  の下付数字が  $\{(m-1)/2+1\}$  の位相の信号であり、この信号から出発して位相が  $2\pi/m$  ラジアンずつ遅れる系列を B、 $S^{(m)}_0$  から出発して位相が  $2\pi/m$  ラジアンずつ遅れる系列を A と

18

すると、A の一番目、B の一番目、A の 2 番目、B の 2 番目、・・・という様に A 系列と B 系列を交互に順にサンプリングすればよい。

【0077】以上は  $(f_{local} - S_{in})$  の周波数を得たい場合であるが  $(f_{local} + S_{in})$  を得たいときには、各系列で位相が  $2\pi/m$  (rad.) ずつ進むようにチャンネル信号を並べればよい。

【0078】 $m$  が偶数の場合には、 $2\pi$  を  $m$  等分した位相をもつ  $m$  個のチャンネル信号は、2 つずつが互いに位相が正転反転の関係の組となっているため、上記奇数の場合とは様相が異なる。図 19 に類似の切り換え方法を  $m$  が偶数のときに行うには、8 相の場合を例にとると、図 21 より次のようになる。

【0079】いま、信号  $S^{(8)}_0$  をサンプリングしたとすると、次に反転すると  $S^{(8)}_1$  になる信号、即ち  $S^{(8)}_5$  をサンプリングする。次には  $S^{(8)}_2$  をサンプリングし、次には反転すると  $S^{(8)}_3$  となるころの  $S^{(8)}_7$  をサンプリングする。このような順にサンプリングを行い、各サンプリング毎に出力を反転するか否かを交互に切り換えることにより、8 相を位相の順にサンプリングしていったのと同等になる。

【0080】 $m$  が偶数の場合を一般的に言えば、 $(f_{local} - S_{in})$  の周波数を得るには、 $S^{(m)}_0$  から出発して  $(2\pi/m) \times 2$  ラジアンずつ位相が遅れるチャンネル信号列 A と、 $S$  の下付数字が  $\{(m/2)+1\}$  である様なチャンネル信号から出発して  $(2\pi/m) \times 2$  ラジアンずつ位相が遅れるチャンネル信号列 B を交互に順にサンプリングすればよい。 $(f_{local} + S_{in})$  の周波数を得るには、各系列で位相が  $(2\pi/m) \times 2$  ラジアンずつ進むような順にチャンネル信号を並べればよい。

【0081】 $m$  が偶数のときには、 $m$  相の位相のうちから、互いに逆相の関係にある 2 つの位相の組のうち的一方を選んだ  $m/2$  個の位相を選び、選ばれていない方の位相の順番のときにはその逆相の位相を持つチャンネル信号をサンプリングし、その結果を反転するようにすることにより、 $m$  相のチャンネル信号を位相が遅れる/または進む順に切り換えたのと同等となる。そのような方法はすべて本願の変形例となる。

【0082】

【発明の効果】以上説明したように、本発明によれば、任意の位相分割数を設定できるため、従来に比べて設計の自由度を高めることができ、特に位相分割数が "3" のときには従来に比べて簡単な構成の回路により DSB のバランスの崩れの影響の無い、集積回路化に適した構成の周波数変換回路を実現できる。

【0083】また、本発明によれば、出力信号として鋭い変化部分を極力有しない波形を得ることができるため、出力信号中の高周波成分の少ない波形が得られ、出力信号から所望の和又は差の周波数の信号を濾波するためのフィルタとして周波数特性の傾斜部分の緩やかな簡



19

単で安価な構成のフィルタを使用でき、また、電源やアース等を通して他のアナログ回路に混入するノイズを抑圧することができる。

【0084】更に、本発明によれば、位相分割手段により分割されたチャンネル信号の数 $m$ の2倍の位相分割数により得られる周波数変換信号と等価な出力信号が得られるため、簡単な回路構成により、より高周波数成分の少ない波形が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態のブロック図である。

【図2】図1の動作説明用信号波形図である。

【図3】図1中の位相分割手段の一例のブロック図である。

【図4】図3の動作説明用ベクトル図である。

【図5】図1中の切換パルス発生回路の一例のブロック図である。

【図6】本発明の第2の実施形態のブロック図である。

【図7】図6の動作説明用信号波形図である。

【図8】図6中の位相分割手段の一例のブロック図である。

【図9】図8の動作説明用ベクトル図である。

【図10】図1及び図6等の実施形態の周波数スペクトラムを示す図である。

【図11】本発明の第3の実施形態の構成図である。

【図12】図11等の動作説明用信号波形図である。

【図13】図11中のサンプリングパルス発生回路の要部の一例のブロック図である。

【図14】図11中のサンプリングパルス発生回路の他の要部の一例の回路図である。

【図15】図14の動作説明用信号波形図である。

【図16】図11の実施の形態の変形例を示す構成図である。

【図17】本発明の第4の実施形態の構成図である。

20

【図18】図17の動作説明用ベクトル図である。

【図19】本発明の第5の実施形態の構成図である。

【図20】図19の動作説明用ベクトル図である。

【図21】図19に類似の実施形態の動作説明用ベクトル図である。

【図22】従来の一例のブロック図である。

【図23】図22の動作説明用信号波形図である。

【図24】本出願人が先に提案した周波数変換回路の周波数スペクトラムの各例を示す図である。

【符号の説明】

11、41 第1の入力信号入力端子

12、42 位相分割手段

13、43、60 第2の入力信号入力端子

14、44 切換パルス発生回路

15、45 出力端子

18、51  $90^\circ$  移相回路

19、22、52、55 反転増幅器

20、24、25、53、54 レベル調整回路

21、23、26、27、56、57 加算器

31 カウンタ

32～36 D型フリップフロップ

62、103 サンプリングパルス発生回路

63、910～914、105 ホールドコンデンサ  
(ホールド回路)

71  $m$  通倍 PLL

73 2分周器

85 遅延回路

102 2通倍器

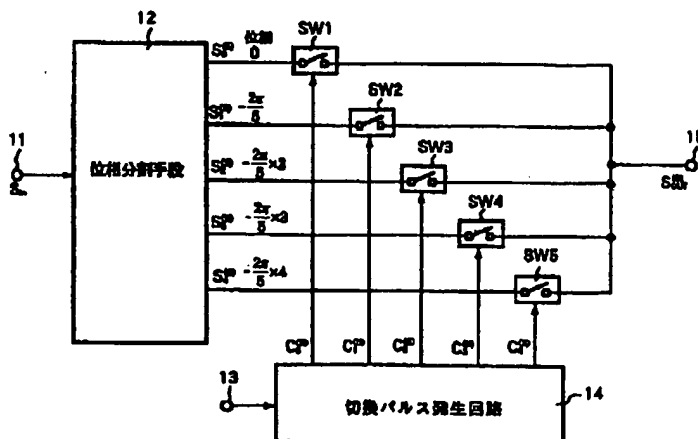
104 フリップフロップ

107 インバータ

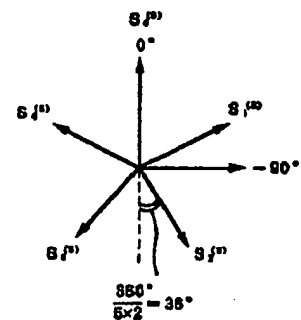
108 切換スイッチ回路

SW1～SW13 スイッチ回路

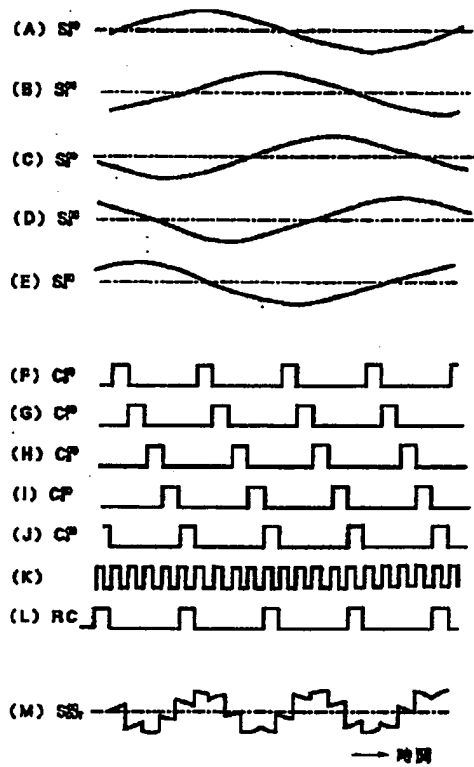
【図1】



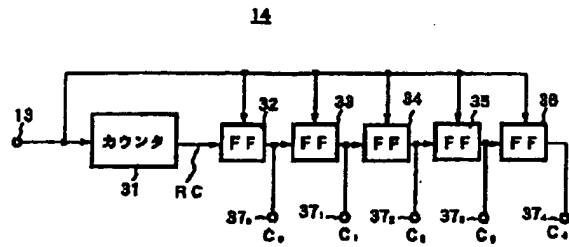
【図4】



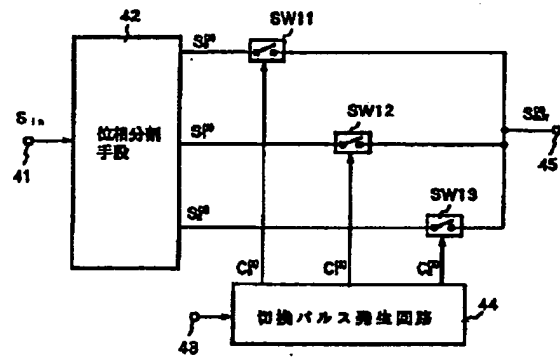
【図2】



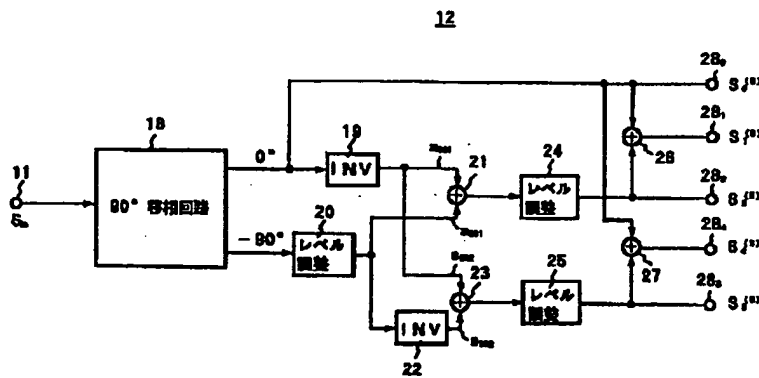
【図5】



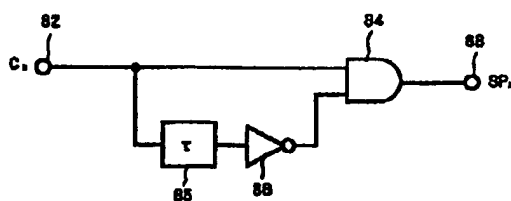
【図6】



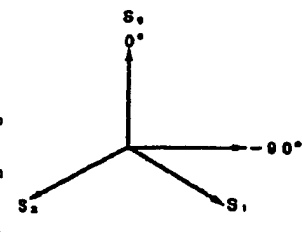
【図3】



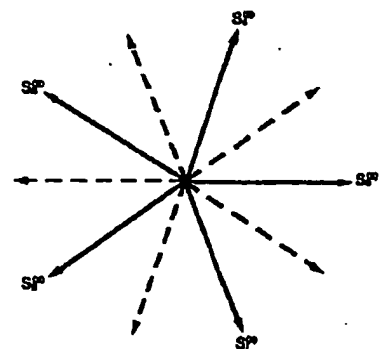
【図14】



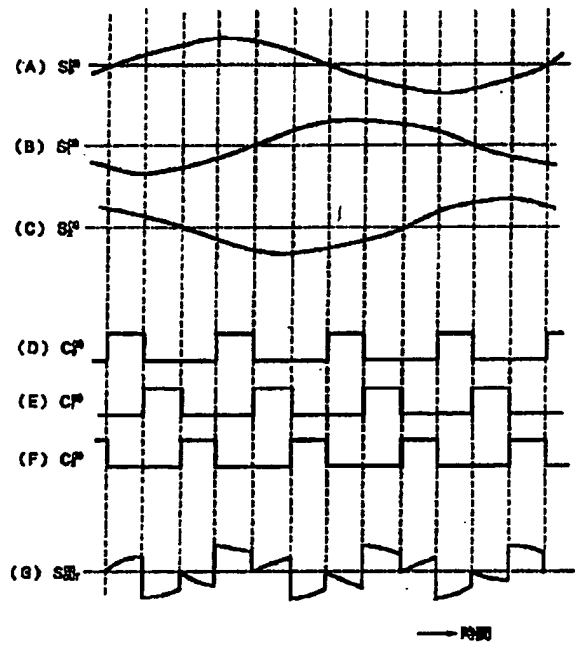
【図9】



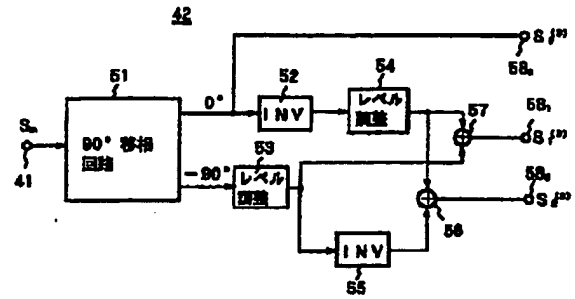
【図20】



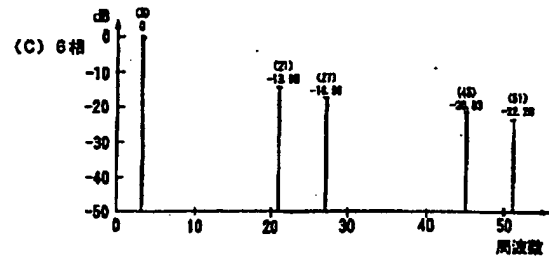
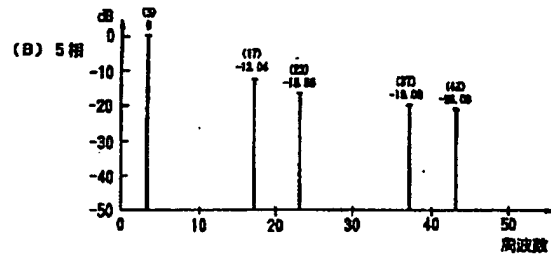
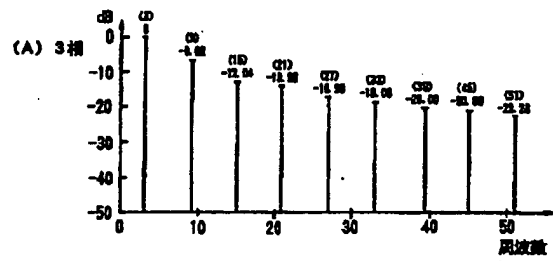
【図7】



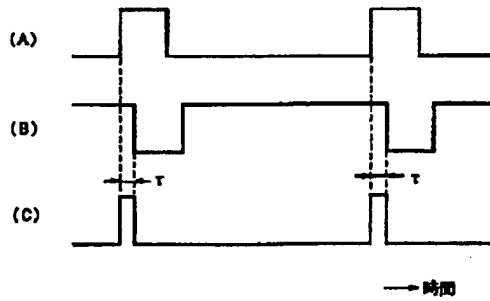
【図8】



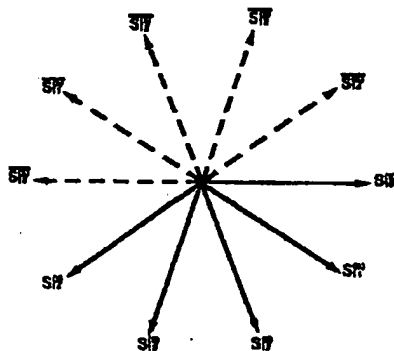
【図10】



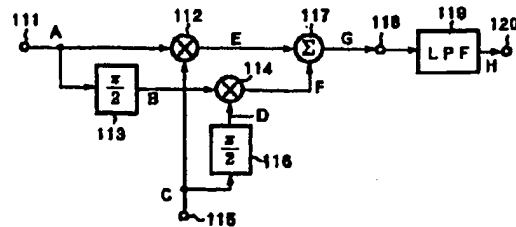
【図15】



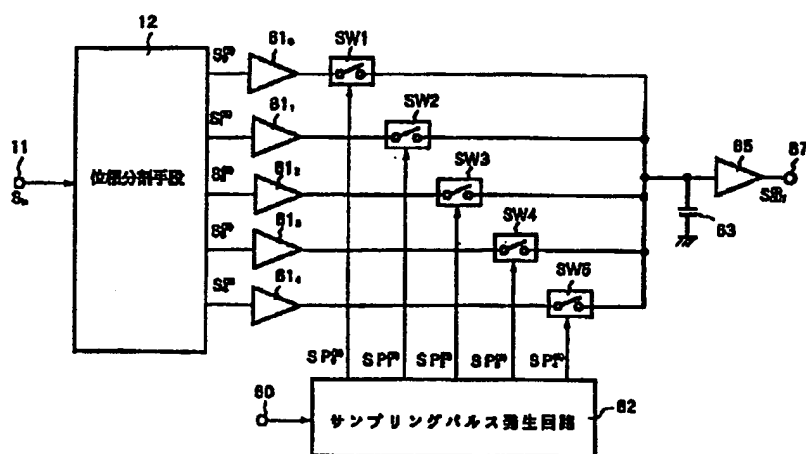
【図18】



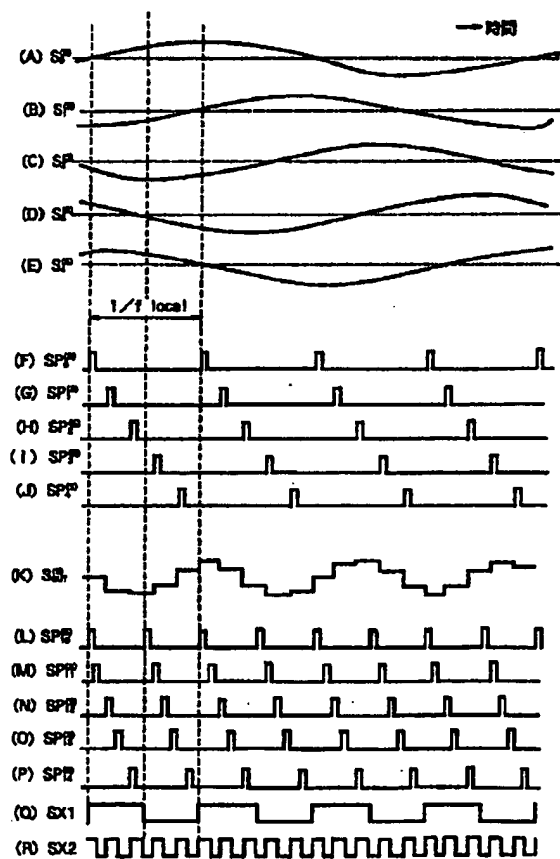
【図22】



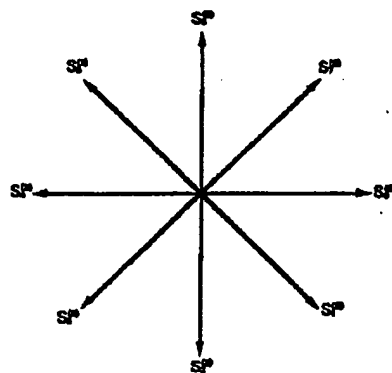
【図11】



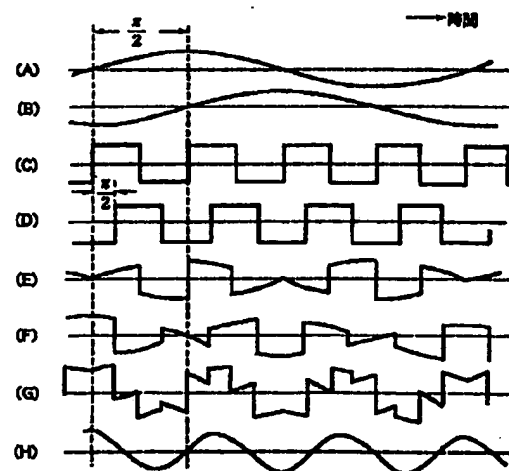
【図12】



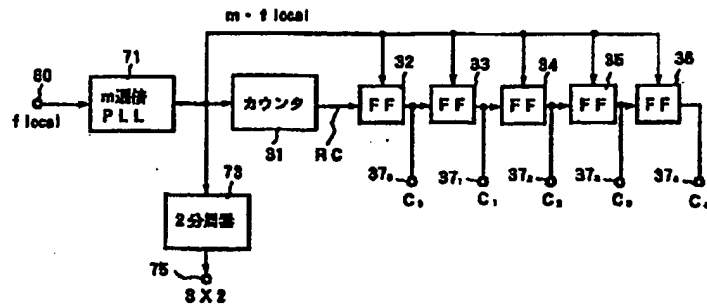
【図21】



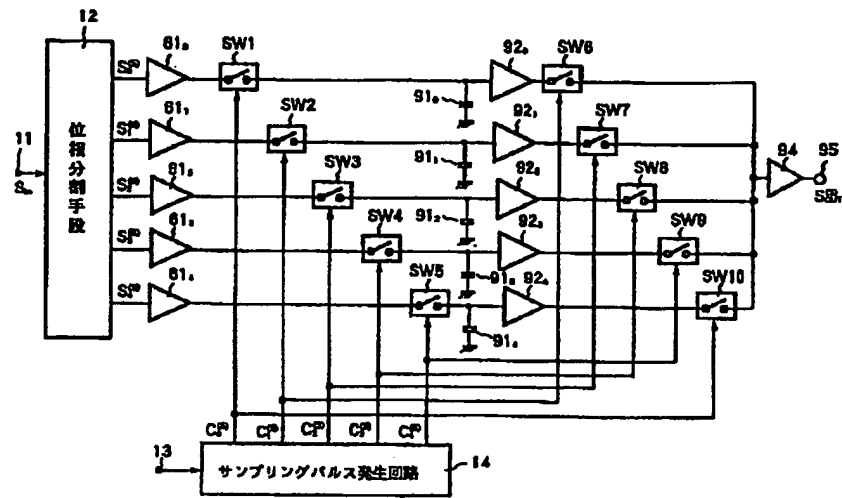
【図23】



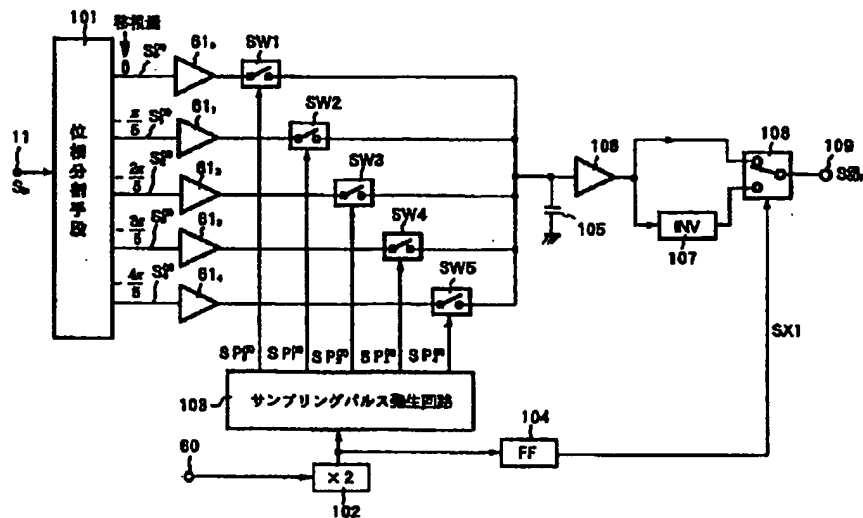
【図13】



【図16】



【図17】



The block diagram illustrates a phase-locked loop (PLL) system. It begins with a reference signal input 11 connected to a phase divider circuit 12. This circuit generates five phase-shifted signals, labeled \$S\_0\$ through \$S\_4\$, each passing through a delay element \$\theta\$. These signals are fed into five comparators, labeled \$G1\_0\$ through \$G1\_4\$. The outputs of these comparators are connected to a series of switches \$SW1\$ through \$SW5\$. A sampling pulse generation circuit 103 provides control pulses (\$SPP^0\$ through \$SPP^4\$) to these switches. The outputs of the switches are combined at a summing junction 105, which also receives feedback from a voltage-controlled oscillator (VCO) block 107. The VCO output passes through a filter 108 and is also fed back to the sampling pulse generation circuit 103 via a feedback path \$SX2\$. An external input 13 is processed by a multiplier block \$\times Z\$ (102) before being fed into the sampling pulse generation circuit 103.

(A) 4相

周波数	dB
0	0
15	-8.24
18	-12.98
29	-18.59
35	-18.08
45	-20.03
50	-21.28

(B) 8相

周波数	dB
0	0
29	-18.59
35	-18.08